

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年9月9日 (09.09.2005)

PCT

(10)国際公開番号
WO 2005/083887 A1

(51)国際特許分類⁷:
7/093, G06F 1/04, H03C 3/00

H03L 7/18,

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 木村 修治
(KIMURA, Syoji) [JP/JP]; 〒3700311 群馬県新田郡新
田町瑞木62-1 Gunma (JP). 橋爪 崇 (HASHIZUME,
Takashi) [JP/JP]; 〒3700533 群馬県邑楽郡大泉町仙石
3-25-1-5-303 Gunma (JP).

(21)国際出願番号:
PCT/JP2005/002156

(22)国際出願日:
2005年2月14日 (14.02.2005)

(25)国際出願の言語:
日本語

(74)代理人: 一色国際特許業務法人 (ISHIKI & CO.); 〒
1050004 東京都港区新橋2丁目12番7号 労金新橋
ビル Tokyo (JP).

(26)国際公開の言語:
日本語

(30)優先権データ:
特願2004-055280 2004年2月27日 (27.02.2004) JP

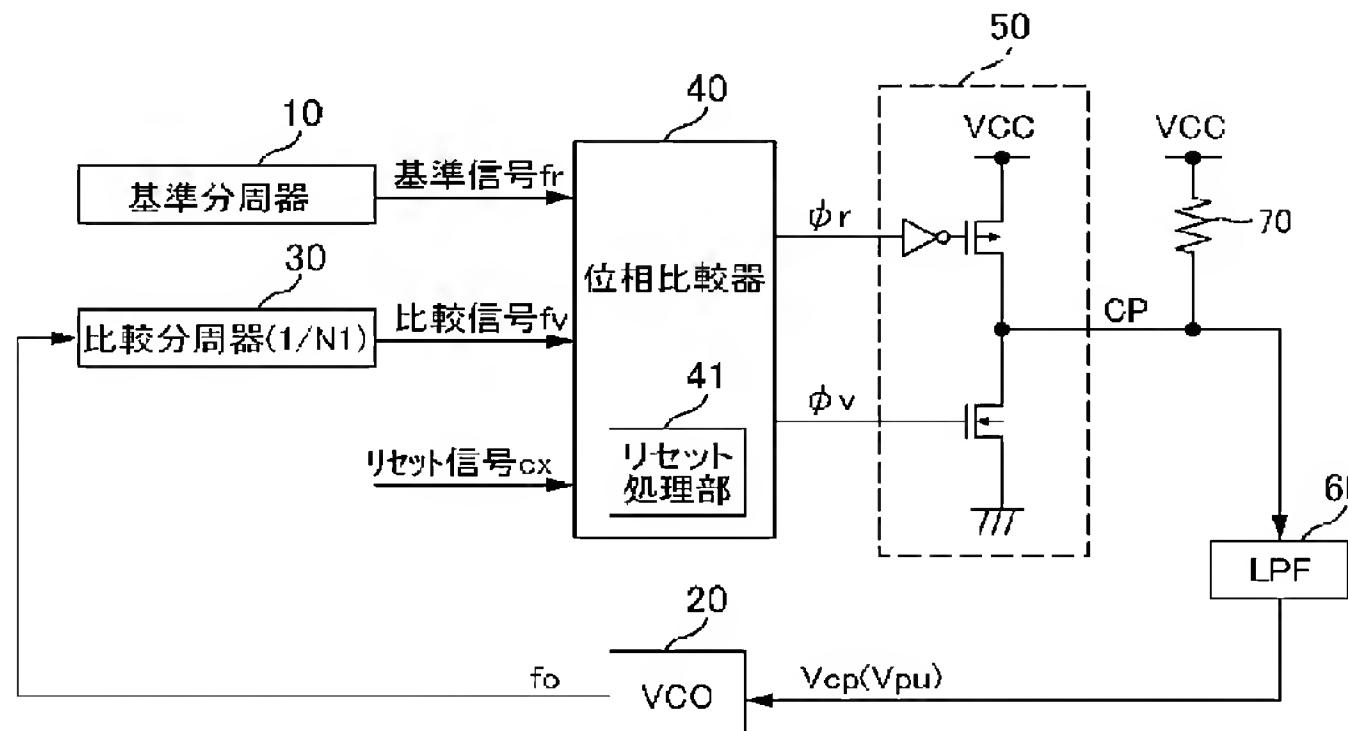
(71)出願人(米国を除く全ての指定国について): 三洋電機
株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒
5708677 大阪府守口市京阪本通2丁目5番5号 Osaka
(JP).

(81)指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54)Title: PLL CIRCUIT

(54)発明の名称: PLL回路



10... REFERENCE FREQUENCY DIVIDER
30... COMPARISON FREQUENCY DIVIDER (1/N1)
fr ... REFERENCE SIGNAL
fv ... COMPARISON SIGNAL
CX ... RESET SIGNAL
40... PHASE COMPARATOR
41... RESETTING PART

(57)Abstract: [PROBLEMS] To reduce EMI noise by use of a simple arrangement. [MEANS FOR SOLVING PROBLEMS] A PLL circuit comprising a control part for switching, at predetermined timings, the validity/invalidity of a phase difference signal to be supplied from a phase comparator to a lowpass filter; and a resistor element provided between a predetermined potential and a signal line used for supplying the phase difference signal from the phase comparator to the lowpass filter; wherein in the case of making the phase difference signal valid, an oscillator circuit is caused to oscillate based on a voltage signal responsive to the phase difference signal, and wherein in the case of making the phase difference signal invalid, the predetermined potential is supplied to the lowpass filter via the resistor element, and the oscillator circuit is caused to oscillate based on the voltage signal as produced in response to the supplied predetermined potential.

[続葉有]

WO 2005/083887 A1



SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(57) 要約:

【課題】簡素な仕組みでEMIノイズを低減させる。

【解決手段】位相比較器から低域通過フィルタに対して供給される位相差信号の有効／無効を所定タイミングで切り替える制御部と、前記位相比較器から前記低域通過フィルタに対して前記位相差信号を供給するための信号線と所定電位との間に設けた抵抗素子と、を有し、前記位相差信号を有効とさせる場合には、前記位相差信号に応じた電圧信号に基づいて発振回路を発振動作させ、前記位相差信号を無効とさせる場合には、前記所定電位が前記抵抗素子を介して前記低域通過フィルタに対して供給され、供給された前記所定電位に応じて生成された前記電圧信号に基づいて前記発振回路を発振動作させるPLL回路。

明細書

PLL回路

技術分野

[0001] 本発明は、スペクトル拡散技術を採用したPLL回路に関する。

背景技術

[0002] 近年、信号処理の高速化や高密度実装化が進む電子機器では、EMI(Electro Magnetic Interference)ノイズを低減させることが重要な課題となっている。なお、EMIとは、電子機器が発生する放射性ノイズによって周辺機器が誤動作を引き起こす電磁波障害のことをいう。

[0003] EMIノイズの主たる要因としては、PLL(Phase Locked Loop)回路の電圧制御発振回路(VCO)において生成されたシステムクロック信号が知られている。すなわち、一般的に高周波なシステムクロック信号に基づいて電子機器内でのスイッチング動作が高速に行われることによって、そのスイッチング・ノイズであるEMIノイズが発生するのである。

[0004] このため、システムクロック信号に対して周波数変調を施し、システムクロック信号の周波数に対応づけられたパワースペクトルのピークレベルを減衰ならびに拡散させるといった、所謂スペクトル拡散の技術が注目されている。なお、パワースペクトルとは、時間軸上で信号の各周波数成分が現れる度合い(パワー)を、周波数軸対パワー軸で表現したものである。

[0005] 図6は、従来のスペクトル拡散技術を採用したPLL回路の構成を示す図である(例えば、特許文献1参照)。

[0006] 従来のPLL回路は、基準分周器610、電圧制御発振器(以下、VCO)620、比較分周器630、631、セレクタ632、位相比較器640、チャージポンプ650、低域通過フィルタ(以下、LPF)660と、を有する。

[0007] 基準分周器610は、所定の発振回路において生成された発振クロック信号を分周して、位相比較器640に基準信号frを供給するための分周器である。VCO620は、印加電圧に応じて発振周波数が制御されるものである。VCO620の発振出力foは、

通常、PLL回路が組み込まれた電子機器のシステムクロック信号として用いられる。

- [0008] 比較分周器630は、ノーマル動作時に用いられる分周器であり、VCO620の発振出力 f_o を所定分周数($1/N_1$)に応じて分周してセレクタ632に供給する。なお、比較分周器630の分周数($1/N_1$)は、VCO620の発振出力 f_o として要求される周波数(以下、基準周波数 f_1)に応じて設定される。
- [0009] 比較分周器631は、VCO620の発振出力 f_o の周波数変調を実施する場合に用いられる分周器であり、VCO620の発振出力 f_o を所定分周数($1/N_2$)に応じて分周してセレクタ632に供給する。なお、比較分周器631の分周数($1/N_2$)は、VCO620の発振出力 f_o の発振周波数変調後の周波数(以下、拡散周波数 f_2)に応じて設定される。
- [0010] セレクタ632は、切替信号SELに基づいて、比較分周器630の出力もしくは比較分周器631の出力のいずれか一方を選択し、位相比較器640に比較信号 f_v を供給するものである。位相比較器640は、セレクタ632から供給された比較信号 f_v と基準信号 f_r との位相を比較する。
ここで、セレクタ632において比較分周器630の出力が選択された場合とする。
- [0011] 位相比較器640は、基準信号 f_r の位相が比較信号 f_v の位相より進んでいるとき、その位相差に応じた位相差信号 Φ_r をチャージポンプ650に供給する。反対に、基準信号 f_r の位相が比較信号 f_v の位相より遅れているとき、その位相差に応じた位相差信号 Φ_v をチャージポンプ650に供給する。
- [0012] チャージポンプ650は、位相差信号 Φ_r 及び Φ_v に応じたレベルを有する電圧信号CPを、LPF660に供給する。LPF660は、電圧信号CPから高調波成分を除去するとともに電圧信号CPを直流化した直流電圧 V_r を、VCO620に供給する。
- [0013] この結果、VCO620は、位相差信号 Φ_r に応じた直流電圧 V_r が供給された場合には、発振周波数を高めて比較信号 f_v の位相を進めるように作用する。反対に、位相差信号 Φ_v に応じた直流電圧 V_r が供給された場合には、発振周波数を低くして比較信号 f_v の位相を遅らせるように作用する。そして、最終的には、基準信号 f_r と比較信号 f_v との間の位相差が生じなくなり、VCO620の発振出力 f_o の発振周波数は、基準周波数 f_1 にロックされた状態(ロック状態)になる。

- [0014] ところで、VCO620の出力 f_o の発振周波数に対応づけられたパワースペクトルは、通常、位相ロック状態での基準周波数 f_1 においてピークを生じることとなる。そこで、PLL回路は、基準周波数 f_1 におけるパワースペクトルを拡散させるべく、VCO620の発振出力 f_o の発振周波数変調を実施する。
- [0015] 周波数変調が実施される場合には、セレクタ632において比較分周器631の出力が選択されて、位相ロック状態が一時的に解除される。そして、PLL回路は、基準信号 f_r と比較分周器631の出力の位相がロック状態となるように同様なPLL制御を行う。この結果、VCO620の発振出力 f_o の発振周波数は、基準周波数 f_1 から離れて一時的に不安定な状態(アンロック状態)となるものの、最終的には、拡散周波数 f_2 にロックされた状態となる。
- [0016] 以上の動作が繰り返し行われた結果、VCO620の発振出力 f_o のパワースペクトルは、基準周波数 f_1 に集中した状態ではなく、基準周波数 f_1 と拡散周波数 f_2 との間の帯域幅(スペクトル幅)に拡散された状態となるので、基準周波数 f_1 におけるパワースペクトルのピークレベルが減衰される。よって、VCO620の発振出力 f_o に基づくEMIノイズが低減されるのである。

特許文献1:特開2001-7700号公報

- [0017] <<関連出願の相互参照>>

この出願は、2004年2月27日に出願した日本特許出願2004-055280に基づいて優先権を主張し、その内容を本願に援用する。

発明の開示

発明が解決しようとする課題

- [0018] ところで、比較分周器の分周比の切り替えタイミングが不適切である場合、基準周波数と拡散周波数との間の帯域幅が不安定となり、所望のパワースペクトルの拡散効果を得ることができない。例えば、図7に示すように、分周比切り替えタイミングが最適なタイミングよりも遅れる場合、パワースペクトルの波形は、基準周波数 f_1 と拡散周波数 f_2 において2つのピークを生じることとなる。このため、最適な分周比切り替えタイミングに設定するためには、PLL回路のループ時定数を最適化するなどといった複雑な調整が必要であり、また、分周比切り替えタイミング設定用として、PLL回路に

複雑な仕組みを設ける必要があった。

課題を解決するための手段

[0019] 前述した課題を解決するための主たる本発明は、供給電圧に基づく発振周波数を有した発振信号を生成する発振回路と、前記生成された発振信号を所定分周数に基づいて分周した比較信号を生成する分周器と、前記生成された比較信号と基準信号との位相差信号を生成する位相比較器と、前記生成された位相差信号を直流化した電圧信号を生成して前記発振回路へと供給する低域通過フィルタと、前記位相比較器から前記低域通過フィルタに対して供給される前記位相差信号の有効／無効を所定タイミングで切り替える制御部と、前記位相比較器から前記低域通過フィルタに対して前記位相差信号を供給するための信号線と所定電位との間に設けた抵抗素子と、を有し、前記位相差信号を有効とさせる場合には、前記位相差信号に応じた前記電圧信号に基づいて前記発振回路を発振動作させ、

前記位相差信号を無効とさせる場合には、前記所定電位が前記抵抗素子を介して前記低域通過フィルタに対して供給され、前記供給された所定電位に応じて生成された前記電圧信号に基づいて前記発振回路を発振動作させることとする。

発明の効果

[0020] 本発明によれば、EMIノイズを簡素な仕組みで低減させたPLL回路を提供することができる。

図面の簡単な説明

[0021] [図1]本発明の一実施形態に係るPLL回路を搭載したシステムの概略構成図である。

[図2]本発明の一実施形態に係るPLL回路の構成図である。

[図3]本発明の一実施形態に係るPLL回路の動作を説明するタイミングチャートである。

[図4]本発明の一実施形態に係る抵抗値に応じたパワースペクトル波形を示す図である。

[図5]本発明の一実施形態に係るリセット期間に応じたパワースペクトル波形を示す図である。

[図6]従来のPLL回路の構成図である。

[図7]従来のパワースペクトル波形を示す図である。

符号の説明

[0022]	10 基準分周器	20 電圧制御発振器
	30 比較分周器	40 位相比較器
	50 チャージポンプ	60 低域通過フィルタ
	100 PLL回路	200 ロック検出部
	210 カウンタ	300 CPU
	400 DSP	610 基準分周器
	620 電圧制御発振器	630、631 比較分周器
	632 セレクタ	640 位相比較器
	650 チャージポンプ	660 低域通過フィルタ

発明を実施するための最良の形態

[0023] <情報処理装置>

図1は、本発明の実施形態に係るPLL回路を搭載した情報処理装置のシステム構成図である。なお、当該情報処理装置は、例えば、テレビ受信機、FM受信機、移動体通信機器など、本発明に係るPLL回路を搭載した電子機器のことである。

[0024] 情報処理装置では、システム全般の制御を司るCPU300や、所定のデジタル信号処理を実施するためのDSP(Digital Signal Processor)400が搭載されている。ここで、PLL回路100は、CPU300とDSP400を同期させるために設けられたものであり、CPU300およびDSP400に対して電圧制御発振回路(以下、VCO)20の発振出力であるシステムクロック信号SCLKを供給するものである。

[0025] 情報処理装置は、VCO20から出力されるシステムクロック信号SCLKに基づいた回路素子のスイッチング・ノイズなど、PLL回路100において生成されるEMIノイズの低減を図るべく、PLL回路100に対してスペクトル拡散技術を採用することとする。このスペクトル拡散技術を実現するための仕組みとして、ロック検出部200、カウンタ210が設けられている。

[0026] ロック検出部200は、位相比較器40における位相比較の結果を示す位相差信号(

Φ_r 、 Φ_v)に基づいて、PLL回路100が位相ロック状態であるか否かを検出する。そして、位相ロック状態が検出された場合、ロック検出信号をカウンタ210に供給する。

[0027] カウンタ210は、ロック検出部200からロック検出信号が供給されたとき、カウント値をリセットするとともに、所定のクロック信号に基づいてカウンタ動作を開始する。また、このとき、カウンタ210は、位相差信号を無効とするためのリセット信号CXを位相比較器40に対して供給する。

[0028] なお、カウンタ210において予め設定された規定数分カウントされるまでリセット信号CXは有効であり、規定数分カウントされたときにリセット信号CXは解除される。ここで、位相ロック状態において位相比較器40に対してリセット信号CXが供給されてからリセット信号CXが解除されるまでの時間のことを「リセット時間」と称する。

[0029] PLL回路100は、位相比較器40に対してリセット信号CXが供給されたとき、本発明に係る後述の周波数変調が実施されて、VCO20の発振周波数が変動する。そして、リセット信号CXが解除された後、再び、位相ロック状態となり、ロック検出部200は、カウンタ210におけるカウント値のリセットならびにカウント動作を再開させるべく、ロック検出信号をカウンタ210に対して供給するのである。

[0030] <PLL回路>

本発明の一実施形態に係るスペクトル拡散技術を採用したPLL回路100の構成ならびに動作について、図2の回路図ならびに図3のタイミングチャートをもとに説明する。

[0031] PLL回路100は、基準分周器10、電圧制御発振器(以下、VCO)20、比較分周器30、位相比較器40、チャージポンプ50、低域通過フィルタ(以下、LPF)60と、プルアップ抵抗70と、を有する。なお、PLL回路100は、通常、LPF60を除いて集積化されており、LPF60は外付けされる。

[0032] まず、カウンタ210から位相比較器40に対してリセット信号CXが供給されない場合(通常動作時)について説明する。

[0033] 基準分周器10は、発振クロック信号(以下、発振CLK)を所定分周数に応じて分周して、位相比較器40に基準信号frを供給するための分周器である。なお、発振CLKは、水晶発振器などの発振回路において自励発振によって供給されてもよいし、外

部からの他励発振によって供給されてもよい。

- [0034] VCO20は、印加電圧のレベルならびに印加時間に応じて発振周波数が制御されるものである。通常、バイアス電圧に応じて静電容量が変化する可変容量ダイオードが採用される。なお、VCO20の発振出力 f_o は、情報処理装置のシステムクロック信号SCLKとして用いられる。
- [0035] 比較分周器30は、VCO20の発振出力 f_o を所定分周数($1/N_1$)に応じて分周して、位相比較器40に比較信号 f_v を供給するための分周器である。なお、比較分周器30の分周数($1/N_1$)は、VCO20の発振出力 f_o として要求される発振周波数(以下、基準周波数 f_1)に応じて設定される。また、比較分周器30は、分周数を固定とする固定分周器としてもよいし、任意に分周数を設定可能なプログラマブル分周器としてもよい。
- [0036] 位相比較器40は、通常動作の場合、基準信号 f_r と比較信号 f_v の位相を比較する。位相比較器40は、基準信号 f_r の位相が比較信号 f_v の位相より進んでいるとき(図3(a)、(b)の期間 T_a を参照)、その位相差に応じた位相差信号 Φ_r (図3(c)の期間 T_a を参照)をチャージポンプ50に供給する。反対に、基準信号 f_r の位相が比較信号 f_v の位相より遅れているとき(図3(a)、(b)の期間 T_b を参照)、その位相差に応じた位相差信号 Φ_v (図3(d)の期間 T_b を参照)をチャージポンプ50に供給する。つまり、通常動作時では、位相差信号 Φ_r 、 Φ_v は有効である。
- [0037] チャージポンプ50は、例えば、電源電圧VCCと接地GNDとの間に、PMOSFET及びNMOSFETを直列接続して構成される。なお、PMOSFETのゲート電極には位相差信号 Φ_r の反転信号が供給され、NMOSFETのゲート電極には位相差信号 Φ_v が供給される。また、PMOSFET及びNMOSFETの接続点に発生する電圧信号CPが、LPF60に供給される。
- [0038] チャージポンプ50は、位相差信号 Φ_r 及び位相差信号 Φ_v がともにLレベルの場合、PMOSFET及びNMOSFETはともにOFFとなり、出力(PMOSFET及びNMOSFETの接続点)はハイ・インピーダンスを示す。
- [0039] なお、位相差信号 Φ_r がHレベル及び位相差信号 Φ_v がLレベルの場合、PMOSFETがONおよびNMOSFETがOFFとなり、電源電圧VCCに応じた電圧信号CPを

出力する(図3(e)の期間Taを参照)。一方、位相差信号 Φ_r がLレベルおよび位相差信号 Φ_v がHレベルの場合、PMOSFETがOFFおよびNMOSFETがONとなり、接地GNDに応じた電圧信号CPを出力する(図3(e)の期間Tbを参照)。

- [0040] LPF60は、位相差信号 Φ_r 、 Φ_v が有効な場合、チャージポンプ50から位相差信号 Φ_r 、 Φ_v に基づく電圧信号CPが供給される。そして、LPF60は、供給された電圧信号CPから高調波成分を除去するとともに、電圧信号CPを直流化した直流電圧 V_c をVCO20に対して供給する。
- [0041] VCO20は、位相差信号 Φ_r に応じた直流電圧 V_{cp} が供給された場合には、比較信号 f_v の位相を進めるべく発振周波数を高めるよう作用する。反対に、位相差信号 Φ_v に応じた直流電圧 V_{cp} が供給された場合には、比較信号 f_v の位相を遅らせるべく発振周波数が低くなるよう作用する。この結果、最終的には、基準信号 f_r と比較信号 f_v との間の位相差が生じなくなり、VCO20の発振周波数は、基準周波数 f_1 にロックされた状態(位相ロック状態)となる。
- [0042] つぎに、ロック検出部200において位相ロック状態が検出されて、カウンタ210から位相比較器40に対してリセット信号CXが供給された場合(周波数変調動作時)について説明する。
- [0043] 位相比較器40は、リセット処理部41(『制御部』)を有する。リセット処理部41は、通常動作の場合には位相差信号 Φ_r 、 Φ_v を有効とし、位相比較器40にリセット信号CXが供給された場合には位相差信号 Φ_r 、 Φ_v を無効とさせるものである。なお、位相差信号 Φ_r 、 Φ_v の無効とは、位相差信号 Φ_r 、 Φ_v のレベルを、チャージポンプ50の出力をハイ・インピーダンスとさせるためのレベル(Lレベル)へと強制的に変換することとする。また、リセット処理部41は、位相比較器40の外部に設けてもよい。
- [0044] チャージポンプ50の出力がハイ・インピーダンスとなる場合、チャージポンプ50からLPF60に対して電圧信号CPを供給する信号線とプルアップ電圧 V_{CC} との間に設けたプルアップ抵抗70によって、プルアップ電圧 V_{CC} (プルアップ抵抗70の電圧降下を無視した場合)がLPF60に対して供給される。このとき、LPF60は、同様に、プルアップ電圧 V_{CC} から高調波成分を除去するとともに、プルアップ電圧 V_{CC} を直流化した直流電圧 V_{pu} をVCO20に対して供給する。

- [0045] VCO20は、プルアップ電圧VCCに応じた直流電圧Vpuが供給された場合、カウンタ210に基づきリセット信号CXが解除されるまで、直流電圧Vpuが供給される時間、すなわちリセット時間の経過に応じて発振周波数を高めるよう作用する。その後、リセット信号CXが解除されたとき、リセット処理部41によって位相差信号 Φ_r 、 Φ_v が再び有効な状態となり、VCO20には位相差信号 Φ_r もしくは位相差信号 Φ_v に応じた直流電圧Vcpが供給される。そして、VCO20の発振周波数を基準周波数f1にロックさせるべく、前述した通常のPLL動作が行われる。
- [0046] このように、リセット信号CXに基づいて通常動作と周波数変調動作が繰り返し行われることで、VCO20の発振出力foのパワースペクトルは、基準周波数f1に集中した状態ではなく、基準周波数f1から高周波方向へと拡散された状態となるので、基準周波数f1におけるパワースペクトルのピークレベルが減衰される。よって、VCO20の発振出力に基づくEMIノイズが低減されるのである。
- [0047] また、従来の場合と異なり、VCO20の出力foの発振周波数は、リセット時間の経過に応じて発振周波数が上がり続ける。このため、従来の場合のように、周波数変調後にパワースペクトルがある特定周波数(拡散周波数)に集中することがなくなる。よって、位相差信号 Φ_r 、 Φ_v を無効にする仕組み(リセット処理部41)とプルアップ抵抗70といった簡素な仕組みを追加するだけで、EMIノイズのさらなる低減効果を向上させることができる。
- [0048] <抵抗値に応じたスペクトル拡散の効果>
- 図4は、リセット時間を一定とした場合のプルアップ抵抗70の抵抗値に応じたパワースペクトル波形の変化について説明する図である。なお、パワースペクトルとは、時間軸上で信号の各周波数成分が現れる度合い(パワー)を、周波数軸対パワー軸で表現したものである。また、パワースペクトルのレベルは、一般に、時間軸上の信号レベルのサンプリングデータをもとにフーリエ級数展開し、そのときのフーリエ係数(Sin, Cosの係数)の大きさとして求められる。
- [0049] 図4において実線で示すパワースペクトル波形は、PLL回路100が通常のPLL動作を行う場合である。PLL動作によって、VCO20の発振周波数は基準周波数f1に

集中するため、パワースペクトルは基準周波数f1においてピークレベルを有することとなる。

- [0050] 図4において破線、一点鎖線、二点鎖線で示すパワースペクトル波形は、リセット信号CXに基づいてVCO20の位相ロック時の発振周波数(基準周波数f1)を周波数変調する場合である。なお、破線、一点鎖線、二点鎖線の順に、リセット時間が一定という条件下で、プルアップ抵抗70の抵抗値が減少した場合である。
- [0051] 図4に示すように、周波数変調時のパワースペクトルのピークレベルは、プルアップ抵抗70の抵抗値によらず、PLL通常動作時のパワースペクトルのピークレベルよりも減衰する。なお、リセット時間が一定であるため、プルアップ抵抗70の抵抗値の変化によって、パワースペクトルのピークレベルの減衰量には変化がない。
- [0052] 一方、プルアップ抵抗70の抵抗値が小さい場合は、プルアップ抵抗70の抵抗値が大きい場合と比べて、プルアップ抵抗70での電圧降下が減少し、ひいては、VCO20に供給される直流電圧Vpuのレベルが大きくなる。よって、VCO20の発振周波数がより高周波の方向へと変化することでスペクトル幅が拡大し、パワースペクトルがより拡散される。
- [0053] このように、プルアップ抵抗70の抵抗値は、パワースペクトルを拡散させる度合いに応じて設定することで、パワースペクトルの拡散効果をより向上させることができる。
- [0054] <リセット時間に応じたスペクトル拡散の効果>
- 図5は、プルアップ抵抗70の抵抗値を一定とした場合のリセット時間の長さに応じたパワースペクトル波形の変化について説明する図である。
- [0055] 図5において実線で示すパワースペクトル波形は、PLL回路100が通常のPLL動作を行う場合である。PLL動作によって、VCO20の発振周波数は基準周波数f1に集中するため、パワースペクトルは基準周波数f1においてピークレベルを有することとなる。
- [0056] 図5において破線、一点鎖線、二点鎖線で示すパワースペクトル波形は、リセット信号CXに基づいてVCO20の位相ロック時の発振周波数(基準周波数f1)を周波数変調する場合である。なお、破線、一点鎖線、二点鎖線の順に、プルアップ抵抗70の抵抗値が一定という条件下で、リセット時間を長くした場合である。

- [0057] 図5に示すように、周波数変調時のパワースペクトルのピークレベルは、PLL通常動作時のパワースペクトルのピークレベルよりも減衰する。また、リセット時間が長くなるにつれて、基準周波数f1から離れる時間も長くなるため、パワースペクトルのピークレベルの減衰量がより大きくなる。さらに、リセット時間が長くなるにつれて、VCO20の発振周波数はより高周波へと変化するため、スペクトル幅が拡大してパワースペクトルがより拡散される。
- [0058] このように、リセット時間の長さが、パワースペクトルのピークレベルを減衰させる度合いや、パワースペクトルを拡散させる度合いに応じて設定されることで、パワースペクトルの拡散効果をより向上させることができる。また、リセット時間の長さの設定と組み合わせて、前述したプルアップ抵抗70の抵抗値を適宜な値に設定することで、パワースペクトルの拡散効果をより一層向上させることはいうまでもない。
- [0059] 以上、本発明の例示的なそして現時点で好適とされる実施例を詳細に説明したが、本発明の概念は、種々変更して実施し適用することができ、また付属の請求の範囲は先行技術によって限定されることは別として、種々の変形例を含むものである。
- [0060] 例えば、前述した実施形態において、PLL回路の構成上チャージポンプ50を設けない場合がある。この場合、例えば、位相比較器40の出力段は、チャージポンプ50と同様な直列接続したPMOSFETとNMOSFETが設けられ、前述した電圧信号CPに相当する位相差信号を出力することとする。また、リセット処理部41は、リセット信号CXが供給されたとき、位相比較器40の出力段のPMOSFETおよびNMOSFETとともにOFFとさせて、位相比較器40の出力レベルをハイ・インピーダンスとさせるべく制御を行うこととする。
- [0061] また、前述した実施形態において、プルアップ抵抗70ではなく、チャージポンプ50とLPF60との間の信号線と接地GNDとの間に設けるプルダウン抵抗を採用しても勿論よい。プルダウン抵抗を採用する場合、リセット信号CXに基づいてVCO20の位相ロック時の発振周波数(基準周波数f1)を周波数変調したとき、VCO20に供給される直流電圧VpuのレベルはLレベルとなる。よって、VCO20の発振周波数は低周波の方向へ変化し、プルアップ抵抗70の場合と同様なパワースペクトルの拡散効果が得られることとなる。

請求の範囲

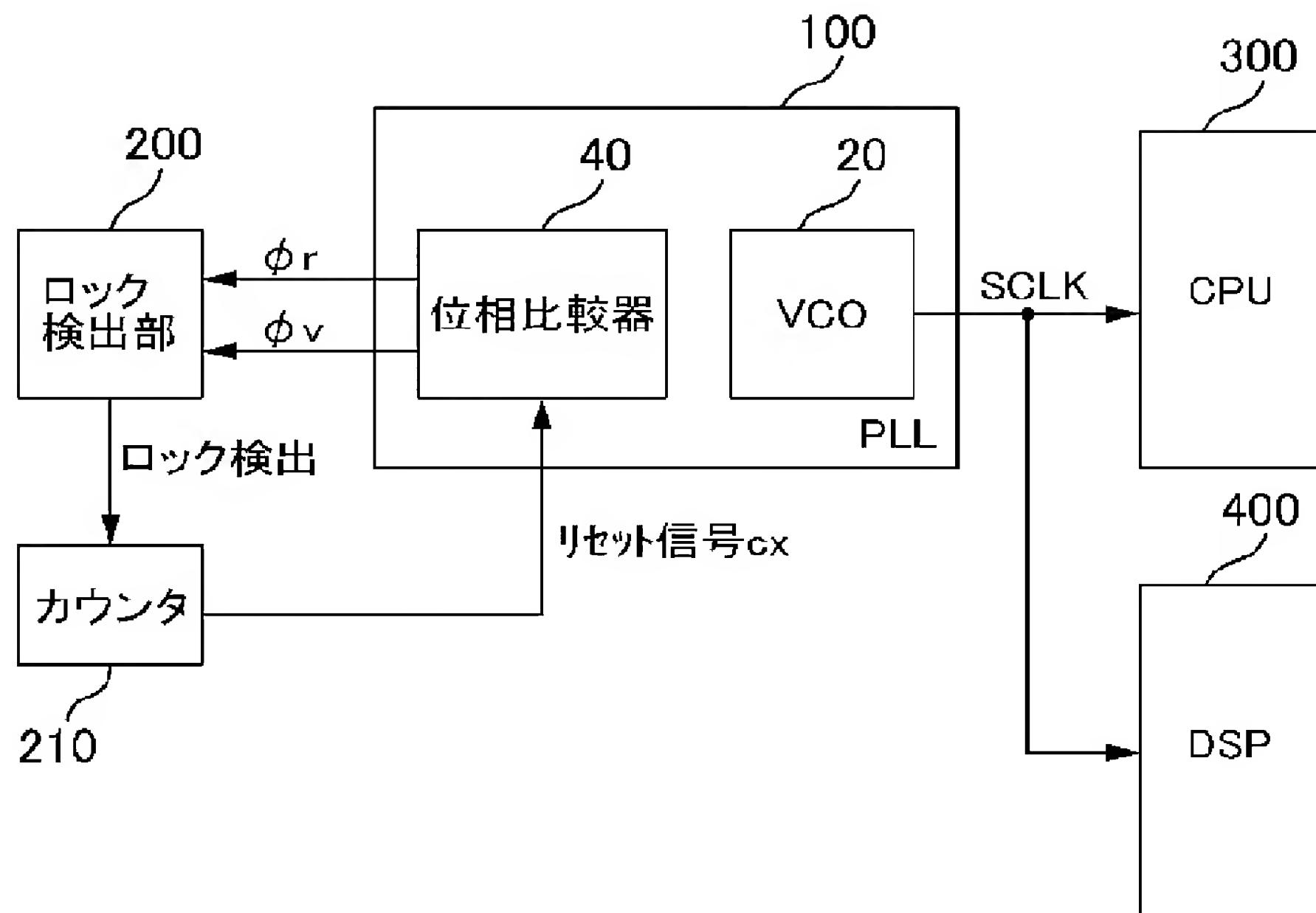
- [1] 供給電圧に基づく発振周波数を有した発振信号を生成する発振回路と、前記生成された発振信号を所定分周数に基づいて分周した比較信号を生成する分周器と、
前記生成された比較信号と基準信号との位相差信号を生成する位相比較器と、前記生成された位相差信号を直流化した電圧信号を生成して前記発振回路へと供給する低域通過フィルタと、
前記位相比較器から前記低域通過フィルタに対して供給される前記位相差信号の有効／無効を所定タイミングで切り替える制御部と、
前記位相比較器から前記低域通過フィルタに対して前記位相差信号を供給するための信号線と所定電位との間に設けた抵抗素子と、を有し、
前記位相差信号を有効とさせる場合には、前記位相差信号に応じた前記電圧信号に基づいて前記発振回路を発振動作させ、
前記位相差信号を無効とさせる場合には、前記所定電位が前記抵抗素子を介して前記低域通過フィルタに対して供給され、前記供給された所定電位に応じて生成された前記電圧信号に基づいて前記発振回路を発振動作させること、
を特徴とするPLL回路。
- [2] 前記位相比較器と前記低域通過フィルタとの間には、前記位相差信号のレベルを変換するチャージポンプが設けられており、
前記制御部は、
前記位相差信号を無効とさせる制御信号が供給されたとき、前記チャージポンプの出力レベルをハイ・インピーダンスとさせるべく制御を行うこと、
を特徴とする請求項1に記載のPLL回路。
- [3] 前記抵抗素子の抵抗値は、
前記発振信号の発振周波数に対応づけられたパワースペクトルを拡散させる度合いに応じて設定されること、を特徴とする請求項1又は2に記載のPLL回路。
- [4] 前記位相差信号を無効とさせる期間は、
前記発振信号の発振周波数に対応づけられたパワースペクトルのピークレベルを

減衰させる度合いに応じて設定されること、を特徴とする請求項1乃至3のいずれかに記載のPLL回路。

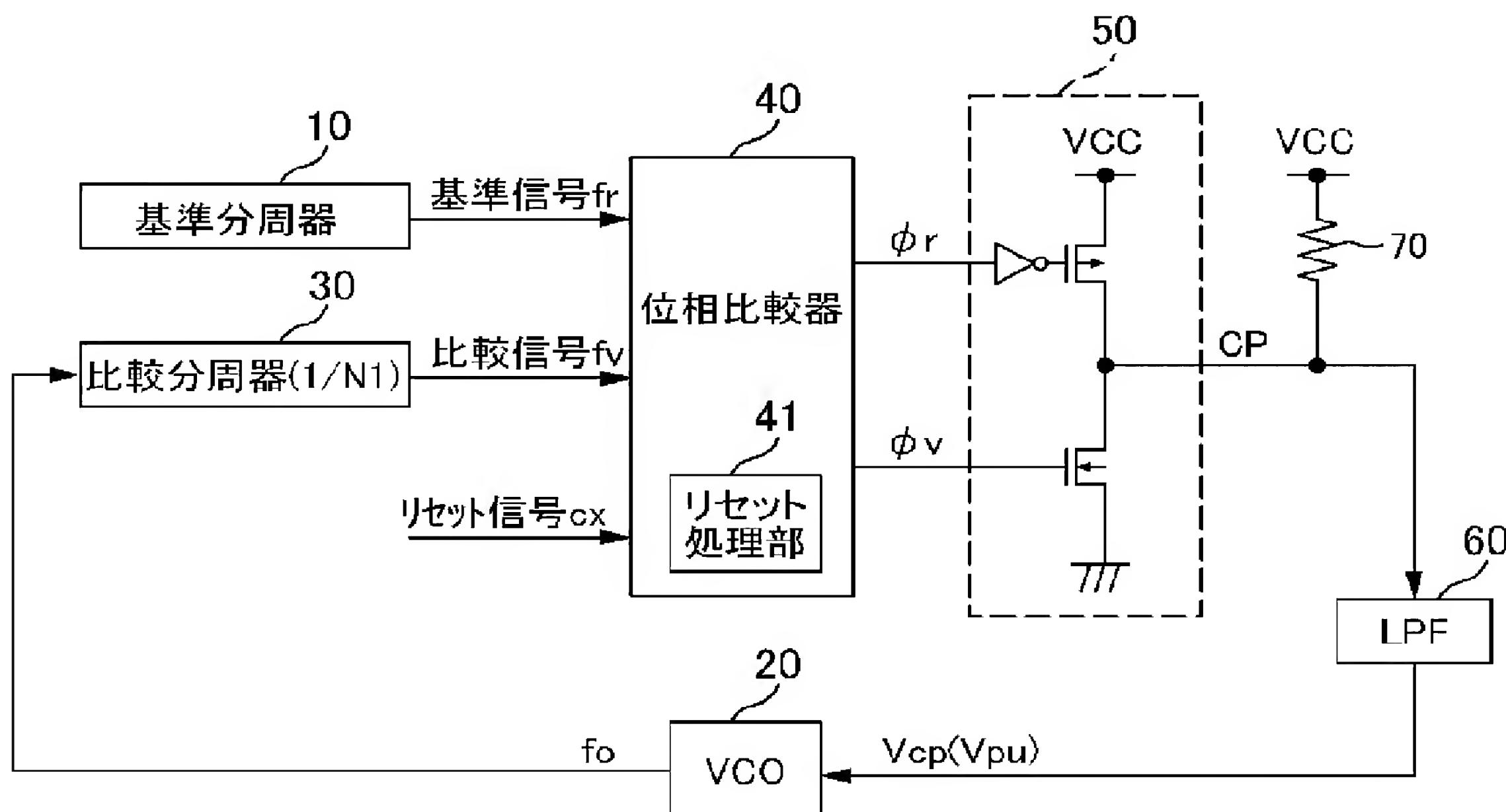
[5] 前記位相差信号を無効とさせる期間は、

前記発振信号の発振周波数に対応づけられたパワースペクトルを拡散させる度合いに応じて設定されること、を特徴とする請求項1乃至3のいずれかに記載のPLL回路。

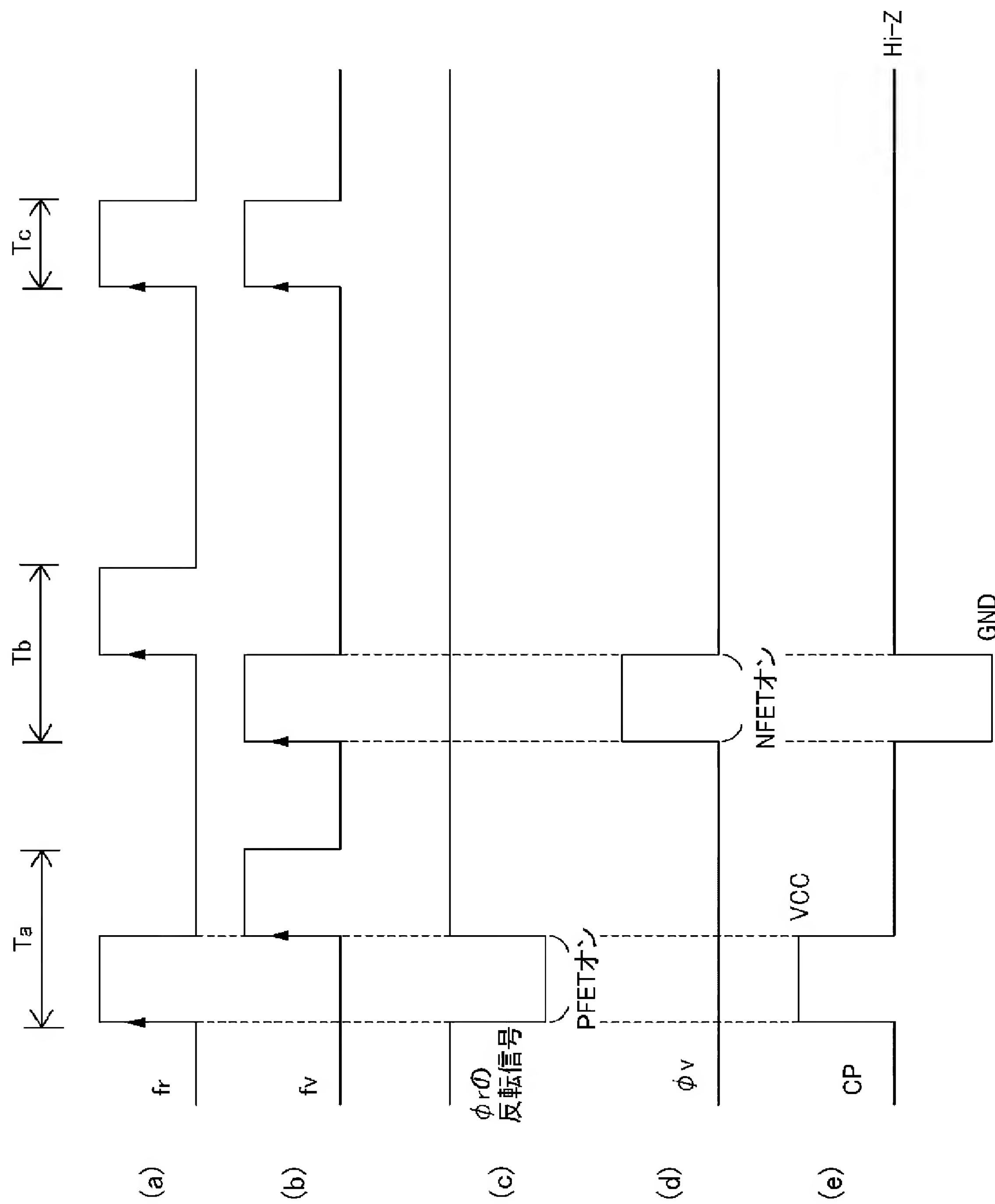
[図1]



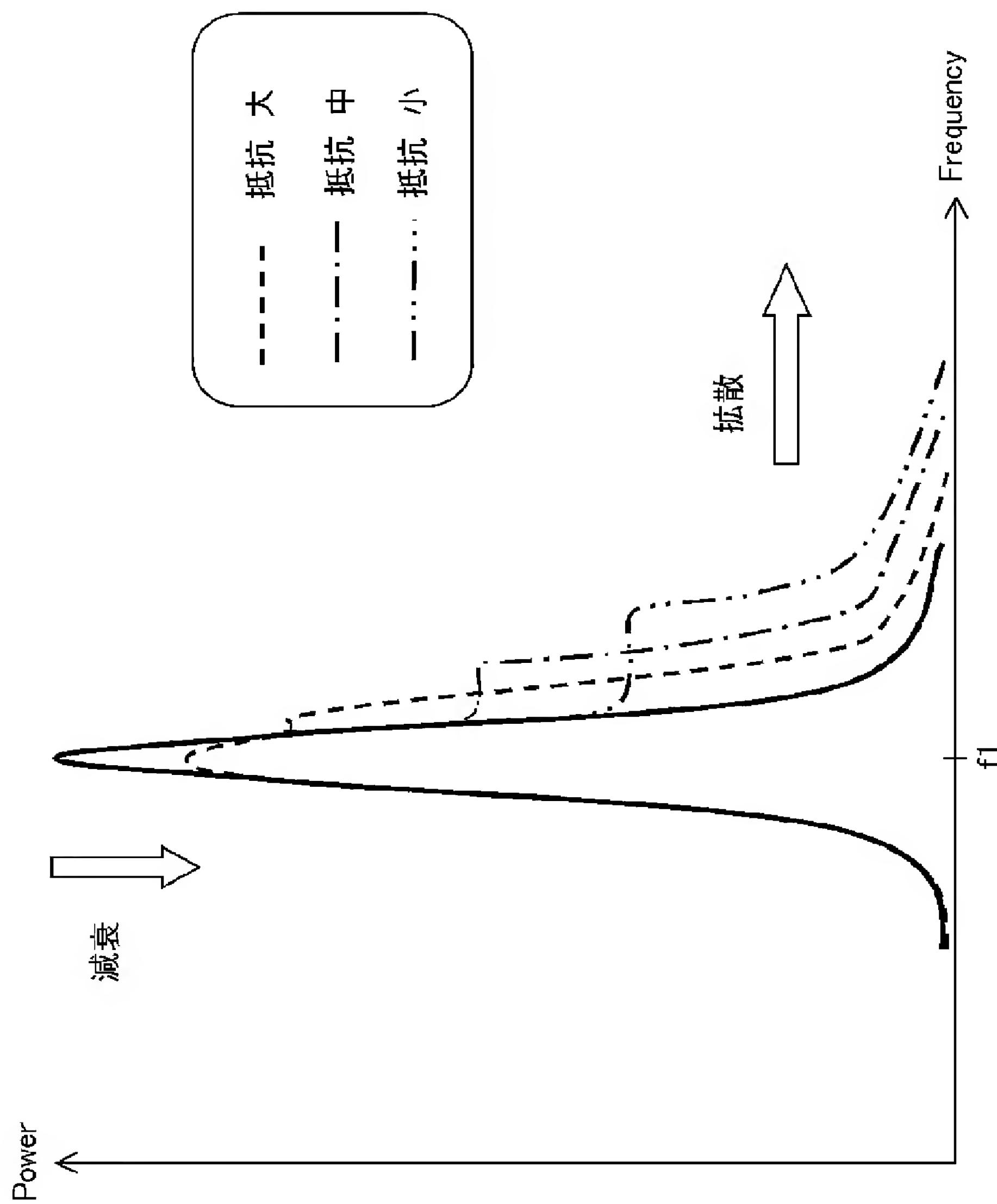
[図2]



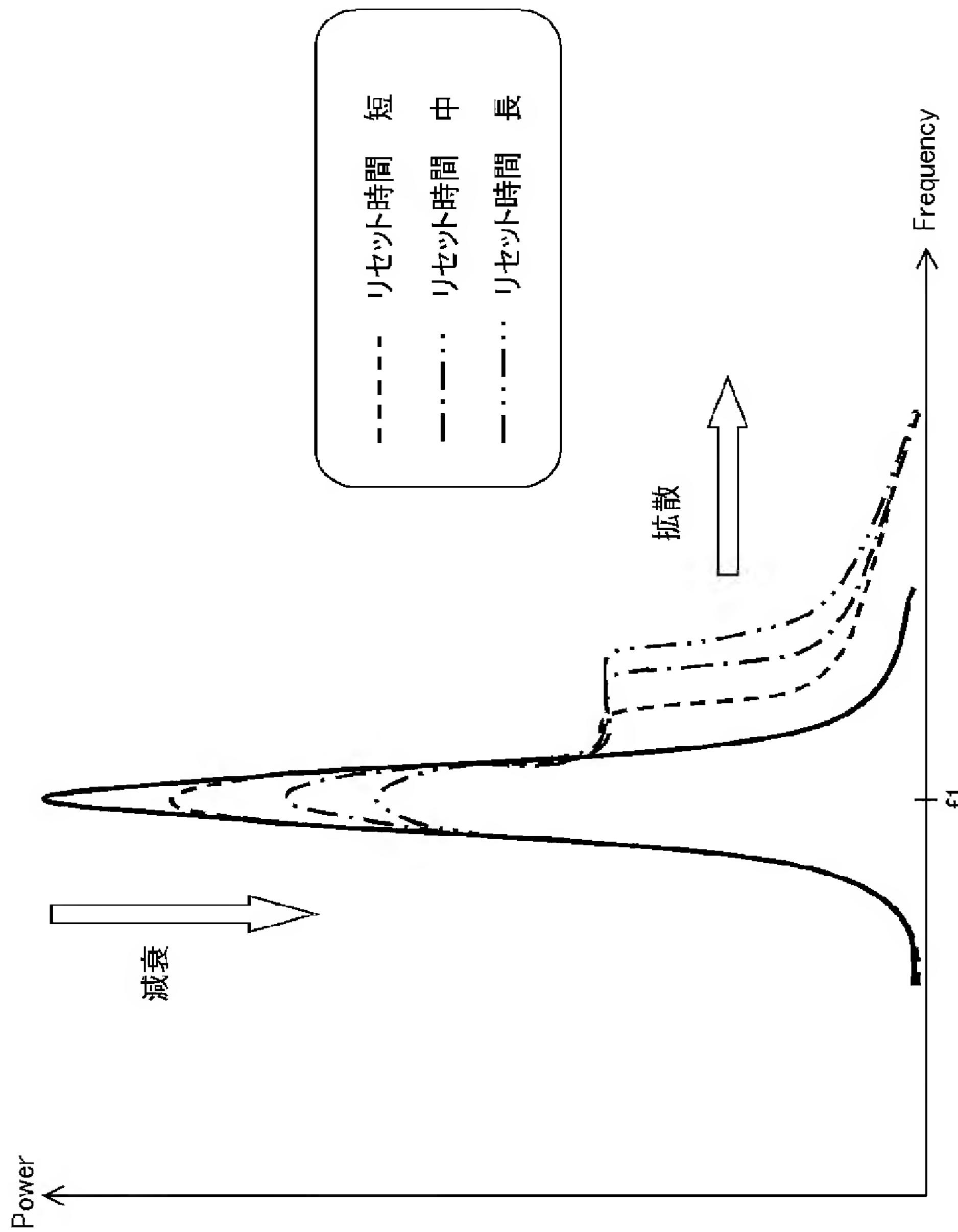
[図3]



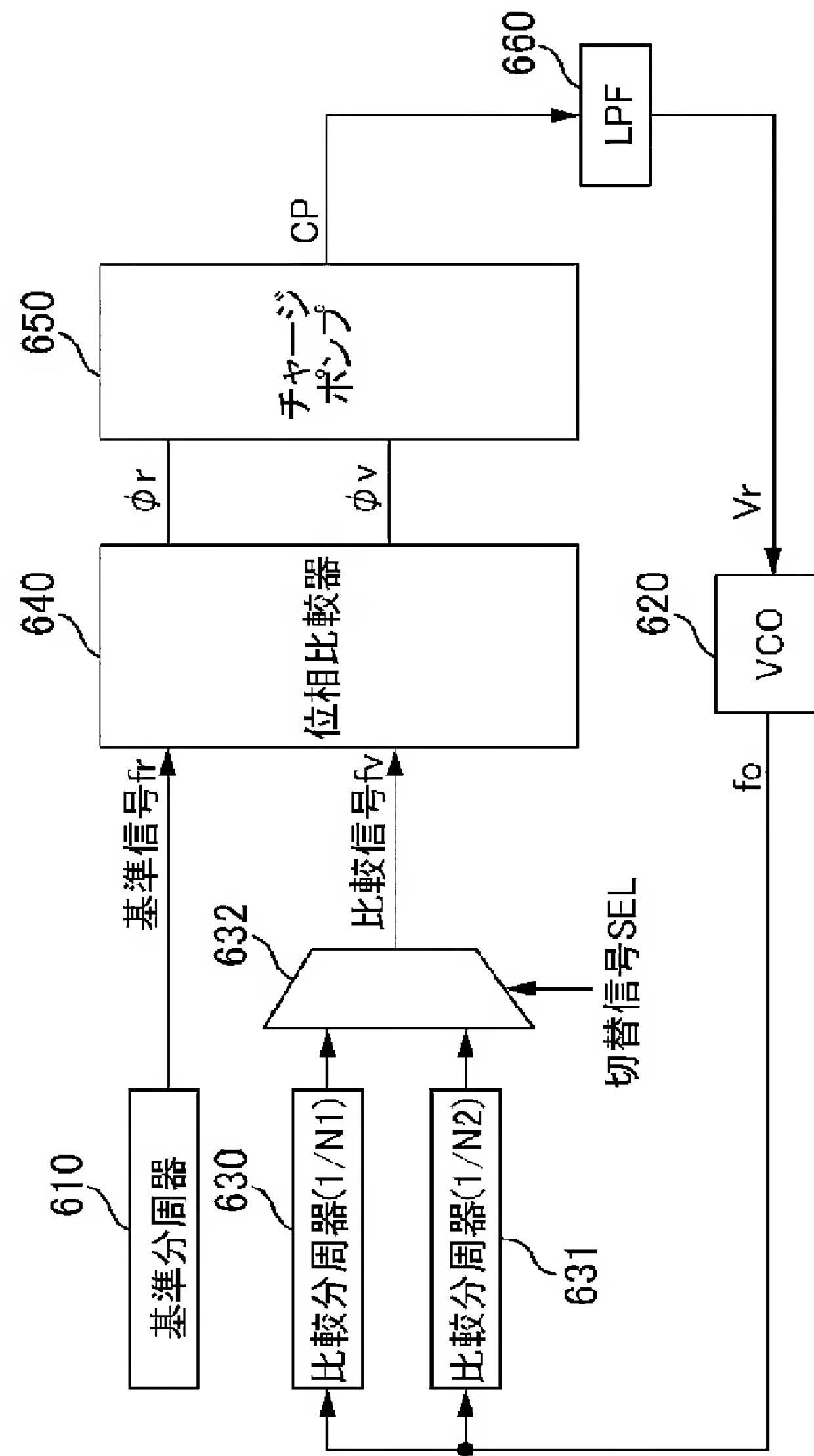
[図4]



[図5]



[図6]



[図7]

